

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-241992

(43)Date of publication of application : 17.09.1996

(51)Int.Cl. H01L 29/78
G06T 17/20
H01L 29/00

(21)Application number : 07-068825

(71)Applicant : RICOH CO LTD

(22)Date of filing : 01.03.1995

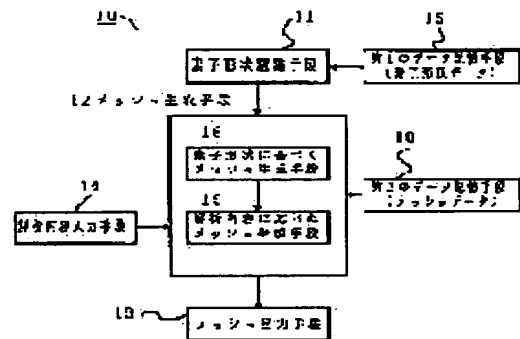
(72)Inventor : AGARI HIDEKI

(54) MESH GENERATING APPARATUS FOR DEVICE SIMULATION

(57)Abstract:

PURPOSE: To provide a mesh generating apparatus for device simulation which can generate adequate mesh through generation of mesh responding to contents of desired analysis.

CONSTITUTION: A mesh generating apparatus 10 is composed of an element shape recognizing means 11, a mesh generating means 12, a mesh output means 13, an analysis content input means 14, a first data memory means 15 and a second data memory means 16. The element shape recognizing means 11 reads an element structure data stored in the first data memory means 15 to recognize the shape of MOSFET 20. The mesh generating means 12 is composed of a first mesh generating means 18 for generating the roughest mesh, a second mesh generating means 19 for additionally generating mesh in addition to the given analysis content. This mesh generating means 12 can also obtain the allowable range of mesh.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-241992

(43) 公開日 平成8年(1996)9月17日

(51) IntCl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 T
G 0 6 T 17/20			29/00	
H 0 1 L 29/00			G 0 6 F 15/60	6 1 2 J

審査請求 未請求 請求項の数 5 F D (全 7 頁)

(21) 出願番号 特願平7-68825

(22) 出願日 平成7年(1995)3月1日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 上里 英樹

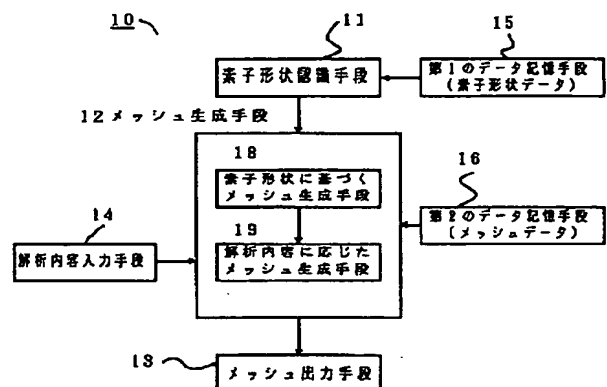
東京都大田区中馬込1丁目3番6号 株式会社リコー内

(54) 【発明の名称】 デバイスシミュレーション用メッシュ作成装置

(57) 【要約】

【目的】 所望の解析内容に応じてメッシュの生成を行い、適当なメッシュを生成できるデバイスシミュレーション用メッシュ作成装置を提供すること。

【構成】 メッシュ作成装置10は、素子形状認識手段11と、メッシュ生成手段12と、メッシュ出力手段13と、解析内容入力手段14と、第1のデータ記憶手段15と、第2のデータ記憶手段16とからなる。素子形状認識手段11は、第1のデータ記憶手段15に記憶されている素子構造データを読み込み、上記MOS型FET20の形状を認識する。メッシュ生成手段12は、最も粗いメッシュを生成する第1のメッシュ生成手段18と、前記メッシュデータに加えて、与えられた解析内容に応じてメッシュを追加生成する第2のメッシュ生成手段19とからなる。このメッシュ生成手段12は、メッシュ間隔の許容範囲を求めることもできる。



【特許請求の範囲】

【請求項 1】 ユーザーが希望する解析内容を入力する入力手段と、
デバイス構造データ及び入力された解析内容に基づきメッシュを生成するメッシュ生成手段と、
生成したメッシュを出力するメッシュ出力手段とを備えたことを特徴とするデバイスシミュレーション用メッシュ作成装置。

【請求項 2】 前記メッシュ生成手段は、
デバイス構造データのうちデバイス形状データに基づき
あらかじめ最も粗いメッシュを生成する第 1 のメッシュ
生成手段と、
前記第 1 のメッシュ生成手段からのメッシュに加えて、
入力された解析内容に基づいてメッシュを追加生成する
第 2 のメッシュ生成手段とを備えたことを特徴とする請
求項 1 記載のデバイスシミュレーション用メッシュ作成
装置。

【請求項 3】 ユーザーが希望する解析内容を入力する
入力手段と、
解析内容に応じたメッシュに関するデータを記憶したデ
ータ記憶手段と、
入力された解析内容及び前記データ記憶手段からのメッ
シュに関するデータに基づきメッシュを生成するメッ
シュ生成手段と、
生成したメッシュを出力するメッシュ出力手段とを備え
たことを特徴とするデバイスシミュレーション用メッ
シュ作成装置。

【請求項 4】 前記記憶手段は、メッシュ間隔とデバイ
スの所定のパラメータとの関係を記述したデータが格納
されるようにしたことを特徴とする請求項 3 記載のデバ
イスシミュレーション用メッシュ作成装置。

【請求項 5】 前記メッシュ生成手段は、
前記データ記憶手段から取り込んだメッシュの標準値及
びメッシュとパラメータとの関係を記述したデータと、
前記入力手段から得た解析内容の誤差とを取り込み、こ
れらを基にメッシュ間隔の許容範囲を求めることができ
るように構成したことを特徴とする請求項 3 または 4 記
載のデバイスシミュレーション用メッシュ作成装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体デバイスを設計
するためのデバイスシミュレーションに使用されるメッ
シュを生成するデバイスシミュレーション用メッシュ生
成装置に関し、特に半導体デバイスの解析内容に応じた
メッシュを生成するデバイスシミュレーション用メッ
シュ作成装置に関するものである。

【0002】

【従来の技術】一般に、デバイスシミュレーション装置
は、半導体デバイスの設計を促進するために用いるもの
であり、半導体デバイスの電気的特性を解析して当該電

気特性の予測と確認を行なう装置である。このようなデ
バイスシミュレーション装置では、半導体デバイスの電
気的特性をシミュレーションするために、半導体デバイ
ス内部の電界分布及びキャリアである正孔及び電子の電
界中の運動の様子を求めるための物理モデルを設け、こ
の物理モデルに必要なデータを与えることにより半導体
デバイスの電気的特性を解析している。このため、デバ
イスシミュレーション装置では、半導体デバイスの全領
域を小区間に分割し、解析対象である半導体デバイスの
形状とそのデバイス中の不純物分布を考慮し、計算する
ため点を表すメッシュを手動又は自動で指定して、半導
体デバイスの電気的特性をシミュレーションしている。

【0003】ところで、前記メッシュのデータは、半導
体デバイスの横方向と深さ方向について別々に指定する
必要があり、しかも p 型不純物領域と n 型不純物領域の
境界においては当該メッシュを非常に細かく指定する必
要がある。このようなメッシュの指定を手動で行うのは
困難であるので、メッシュを自動的に生成する装置（例
えば、特開平 4-317354 号公報参照）、あるいは
物理モデルに最適のメッシュ構造をあらかじめ用意して
おき、シミュレーションに使用する物理モデルを決定し
たときに当該モデルに最適なメッシュを選択できるように
した装置（例えば、特開平 6-97020 号公報参
照）が提案されている。

【0004】なお、上述した従来のメッシュ自動的生成
装置について補足説明すると、この装置は半導体素子の
不純物分布から半導体素子の内部の PN 接合面を計算
し、かつ半導体素子の内部の全領域を小区間に分割し、
さらに小区間内のメッシュ条件を計算する。このように
して、メッシュを自動的に生成するようにしたものであ
る。以上のように、メッシュを自動生成し、あるいは物
理モデルに最適なメッシュ構造を選択することにより、
メッシュデータを人手によらず得ておき、これをデバ
イスシミュレーション装置に与えてデバイスシミュレー
ションを行なうことにより、半導体デバイスのシミュレ
ーション時間を短縮化している。

【0005】

【発明が解決しようとする課題】ところで、従来のデバ
イスシミュレーション装置では、さまざまな種類のデバ
イスシミュレーションの解析が行われており、上述した
メッシュ生成装置や最適メッシュを選択する装置による
メッシュの指定のみでは、最も細かいメッシュを必要と
する解析を想定してメッシュを指定しなければならな
かった。このため、例えば、粗いメッシュのみでよい解
析のみしか解析しない場合には、シミュレーションの時
間的損失が生じるという欠点があった。

【0006】また、従来のメッシュ生成装置や最適メッ
シュを選択する装置では、デバイスシミュレーションの
結果である電気的特性がメッシュに依存するという点を
まったく考慮していないため、信頼できない結果となる

可能性があった。そこで、本発明は、あらかじめ入力した所望の解析内容に応じてメッシュの生成を行うことにより、適当なメッシュを生成することができるデバイスシミュレーション用メッシュ作成装置を提供することを目的としている。

【0007】

【課題を解決するための手段】請求項1記載の発明に係るデバイスシミュレーション用メッシュ作成装置は、ユーザーが希望する解析内容を入力する入力手段と、デバイス構造データ及び入力された解析内容に基づきメッシュを生成するメッシュ生成手段と、生成したメッシュを出力するメッシュ出力手段とを備えることにより前記目的を達成する。請求項2記載の発明に係るデバイスシミュレーション用メッシュ作成装置は、メッシュ生成手段は、デバイス構造データのうちデバイス形状データに基づきあらかじめ最も粗いメッシュを生成する第1のメッシュ生成手段と、前記第1のメッシュ生成手段からのメッシュに加えて、入力された解析内容に基づいてメッシュを追加生成する第2のメッシュ生成手段とを備えることにより前記目的を達成する。

【0008】請求項3記載の発明に係るデバイスシミュレーション用メッシュ作成装置は、ユーザーが希望する解析内容を入力する入力手段と、解析内容に応じたメッシュに関するデータを記憶したデータ記憶手段と、入力された解析内容及び前記データ記憶手段からのメッシュに関するデータに基づきメッシュを生成するメッシュ生成手段と、生成したメッシュを出力するメッシュ出力手段とを備えることにより前記目的を達成する。請求項4記載の発明に係るデバイスシミュレーション用メッシュ作成装置は、記憶手段は、メッシュ間隔とデバイスの所定のパラメータとの関係を記述したデータが格納されるようにして前記目的を達成する。請求項5記載の発明に係るデバイスシミュレーション用メッシュ作成装置は、メッシュ生成手段は、前記データ記憶手段から取り込んだメッシュの標準値及びメッシュとパラメータとの関係を記述したデータと、前記入力手段から得た解析内容の誤差とを取り込み、これらを基にメッシュ間隔の許容範囲を求めることができるように構成して前記目的を達成する。

【0009】

【作用】上記請求項1記載の発明では、上述のように構成してあるので、ユーザーが希望する解析内容を解析内容入力手段を通して入力すると、その解析内容に基づいて、メッシュ生成手段がシミュレーションしようとするデバイスのメッシュを生成し、当該メッシュをメッシュ出力手段を介してデバイスシミュレーション装置に与えることができる。請求項2記載の発明では、デバイス形状データを基に第1のメッシュ生成手段においてシミュレーションするのに必要な最大限のメッシュをとりあえず生成し、第2のメッシュ生成手段において当該メッシュ

に加えて、入力された解析内容に基づいて最終的に必要なメッシュを追加生成している。

【0010】上記請求項3記載の発明では、上述したように構成してあるので、解析内容が解析内容入力手段から入力されたときに、解析内容に応じたメッシュに関するデータをデータ記憶手段から取り出し、当該データと前記解析内容とに基づいて最終的に必要かつ十分なメッシュを生成している。上記請求項4記載の発明では、記憶手段は、メッシュ間隔の許容範囲を求めるために必要な、メッシュ間隔とデバイスの所定のパラメータとの関係を記述したデータ及び基本メッシュを格納している。上記請求項5記載の発明では、メッシュ生成手段は、入力手段から得た解析内容の誤差が入力されると、前記データ記憶手段からメッシュの標準値及びメッシュとパラメータとの関係を記述したデータを読み出して、このデータ、基本メッシュ及び解析内容の誤差からメッシュ間隔の許容範囲を求めている。

【0011】

【実施例】以下、本発明を図1乃至図7を参照して詳細に説明する。図1に、本発明の一実施例に係るデバイスシミュレーション用メッシュ作成装置を実現する処理システムを示す。この図において、符号1はコンピュータであり、このコンピュータ1には図示しないが演算処理装置、主記憶装置、入出力装置、その他の補助制御装置が内蔵されている。また、このコンピュータ1には、グラフィック端末2、磁気ディスク等の補助記憶装置3及びプリンタ4が接続されており、かつ図示しないがキーボード等の入力装置も接続されている。さらに、前記グラフィック端末2には、ハードコピー装置5が付属している。このコンピュータ1が主記憶装置に格納されている処理プログラムを実行することにより、デバイスシミュレーション用メッシュ作成装置を実現するようになる。

【0012】ここで、前記グラフィック端末2は、データ作成とグラフィックを出力できるようになっている。前記補助記憶装置3は、コンピュータ1で計算した結果を保存し、あるいは半導体デバイス（半導体素子）の形状やメッシュデータを記憶している。前記プリンタ4は、必要なデータ等をプリントアウトする。図2に、本発明の一実施例に係るデバイスシミュレーション用メッシュ作成装置の構成例を示す。また、図3に素子形状データを説明するためにMOS型FETの模型を示し、図4に同FETのメッシュデータの一例を示す。図5は、メッシュ間隔としきい値（ V_{th} ）の関係を示す特性図であり、横軸にY方向メッシュ間隔が、縦軸にしきい値（ V_{th} ）がとられている。図6は、メッシュ間隔とドレイン電流（ I_o ）の関係を示す特性図であり、横軸にY方向メッシュ間隔が、縦軸にドレイン電流（ I_o ）がとられている。

【0013】図2において、デバイスシミュレーション

用メッシュ作成装置10は、素子（デバイス）形状認識手段11と、メッシュ生成手段12と、メッシュ出力手段13と、解析内容入力手段14と、第1のデータ記憶手段15と、第2のデータ記憶手段16とからなる。なお、素子形状認識手段11、メッシュ生成手段12及びメッシュ出力手段13は、上記コンピュータ1が所定のプログラムを実行することにより実現されるようになっている。このとき、前記補助記憶装置3等に格納されているデバイス（素子）構造データで必要なものは、第1のデータ記憶手段15に移されるようになっている。同様に、前記補助記憶装置3等に格納されている基本メッシュデータ及び他の関連データのうちで必要なものは、第2のデータ記憶手段16に移されるようになっている。

【0014】なお、第1のデータ記憶手段15及び第2のデータ記憶手段16は、電源を切っても記憶内容が消去されないようにしてあるときには、前述のようにせず、全てのデバイス（素子）構造データ及びメッシュデータ等を格納しておくものとする。また、第1のデータ記憶手段15に記憶されているデバイス（素子）構造データは、デバイスの形状データと当該デバイス中の不純物濃度データとからなるものとする。

【0015】ここで、前記素子構造データのうちデバイス形状データについて説明すると、例えば図3に示すMOS型FET20の場合には、シリコン基板21の内部の上部に所定の間隔を置いてソース22及びドレイン23が形成されており、かつ前記ソース22及びドレイン23に跨がってゲート酸化膜24が一定の膜厚で形成されており、そのゲート酸化膜24の上にゲート25が形成された構造となっている。このようなデバイス形状及び当該デバイスの不純物濃度からなる素子構造データは、通常、プロセスシミュレーション（プロセス設計に使用されるものであり、かつデバイスの形状と不純物濃度を予測等するもの）の結果として作られるか、デバイスシミュレーション中で座標入力等して作られるようになっており、これらは第1のデータ記憶手段15に記憶されている。

【0016】また、MOS型FET20の内部の構造データについて、図3に示すような点線丸部分の一部を拡大して示すと、例えば図4に示すようなメッシュデータ200となっている。このメッシュデータ200は、図4に示すように、所定の間隔dと、所定の幅wで分割されたものとして生成されることになる。前記素子形状認識手段11は、第1のデータ記憶手段15に記憶されている素子構造データを読み込み、上記MOS型FET20の形状を認識できるようになっている。この素子形状認識手段11の出力はメッシュ生成手段12に供給されるようになっている。

【0017】前記メッシュ生成手段12は、前記素子形状認識手段11からの認識データのうち素子形状データ

のみに基づいて最も粗いメッシュを生成する第1のメッシュ生成手段18と、前記第1のメッシュ生成手段18からのメッシュデータに加えて、与えられた解析内容に応じてメッシュを追加生成する第2のメッシュ生成手段19とからなる。また、このメッシュ生成手段12は、メッシュ間隔の許容範囲を求めることもできるようになっている。前記メッシュ出力手段13は、メッシュ生成手段12から出力されたメッシュを図示しないデバイスシミュレーション装置に供給できるようになっている。前記解析内容入力手段14は、ユーザーが希望する解析内容をメッシュ生成手段12の第2のメッシュ生成手段19に与えられるようになっている。

【0018】上述したような実施例の動作を、図1～図6及び図7のフローチャートを参照して説明する。まず、素子形状認識手段11は、指定に応じて第1のデータ記憶手段15に格納されている素子構造データのうち必要なものを読み込み、次のように形状認識する（ステップ101）。すなわち、素子形状認識手段11は、例えば図3に示すようなMOS型FET20の素子構造データであった場合、ソース22、ドレイン23、ゲート25、シリコン基板21の電極位置、PN接合位置（シリコン基板21とソース22との間、シリコン基板21とドレイン23との間に形成されている接合面）、ゲート酸化膜24の膜厚を抽出する。そして、素子形状認識手段11は、当該認識内容をメッシュ生成手段12に与える（ステップ102）。

【0019】前記メッシュ生成手段12では、前記素子形状認識手段11からの形状認識データによって基本のメッシュ位置を決定する（ステップ103）。一方、選択された素子形状に対して、ユーザーは、所望の解析内容を解析内容入力手段14から入力する（ステップ104）。すると、この解析内容は第2のメッシュ生成手段19に与えられるので、この第2のメッシュ生成手段19は、第1のメッシュ生成手段15でラフに生成したメッシュに対して、解析内容に応じたメッシュを追加生成する（ステップ105）。

【0020】このようにして第2のメッシュ生成手段19で求められたメッシュは、メッシュ出力手段13に供給される（ステップ106）。前記メッシュ出力手段13は、与えられたデータを図示しないデバイスシミュレーション装置に与える（ステップ107）。以上説明したように、本実施例では、素子構造データのうちの素子形状データのみを基に第1のメッシュ生成手段18によってデバイスシミュレーションを行なう上で必要とされるメッシュのうちで最大限に粗いメッシュを求め、ついで前記生成したメッシュに加えて、第2のメッシュ生成手段19で与えられた解析内容を基に追加メッシュを生成するようにしたので、所定のデバイスをシミュレーションするのに最適なメッシュを提供できる。

【0021】次に、メッシュ間隔の許容範囲を求める動

10

20

30

40

50

作について説明する。まず、解析内容入力手段 14 から解析内容の許容誤差を入力する。この実施例では、例えばしきい値 (Vth) の許容誤差を入力するものとする。メッシュ生成手段 12 は、第 2 のデータ記憶手段 16 に記憶されているメッシュ関連データを読み込む。例えば、メッシュ生成手段 12 は、第 2 のデータ記憶手段 16 からメッシュと素子の電気的特性の関係を示すデータを取り込んだものとする。例えばデバイス (素子) のしきい値 (Vth) と Y 方向メッシュの関係を示すデータは、次のようなものであるとする。すなわち、しきい値電圧 (Vth) は、図 5 に示すように所定の深さ (Y 方向メッシュ位置) まで一定であるが、当該深さ以降は急激に変化し、ある深さ (Y 方向メッシュ位置) に達すると再び緩やかな変化となる特性を有しているものであるとする。なお、ここで、Y 方向のメッシュとは、図 4 に示すように、図示上下方向に間隔 d で分割されてなるメッシュ (図示矢印で示す) のことをいう。

【0022】ところで、理想的には、素子のしきい値 (Vth) は、メッシュ間隔によらず変化しないほうが望ましい。しかしながら、実際には、上述したように Y 方向メッシュに対してしきい値 (Vth) が変化している

(図 5 参照)。したがって、なるべくメッシュ間隔に対してしきい値 (Vth) の変化が小さいメッシュを選ぶ必要がある。そこで、メッシュ生成手段 12 は、上記しきい値 (Vth) が例えば 10 [パーセント] の変化まで許容可能と条件が与えられているとするならば、メッシュ標準値が例えば 2 [nm] のしきい値 (Vth) より計算し、5 [nm] 以下というメッシュ間隔を決定する。そこで、例えば計算時間を最小にしたいという条件に与えられているときには、メッシュ間隔が大きいことが望まれるので、メッシュ生成手段 12 は、5 [nm] という値でメッシュを生成している。

【0023】一方、解析内容入力手段 14 からメッシュ生成手段 12 に、例えばしきい値 (Vth) とドレイン電流値 Ion (ドレイン電圧が低く、ゲート電圧が高いときのドレイン電流値とする) が入力されたときに、第 2 のメッシュ生成手段 19 は、それぞれの許容値から導出された間隔の重なりが存在する場合に、図 6 に示すように、2 [nm] ~ 5 [nm] という間隔という値でメッシュを生成している。上記実施例では、メッシュ生成手段 12 は、このようにしてメッシュ間隔の許容範囲を求めるところができ、デバイスシミュレーションをする上で最適なメッシュを供給することができる。

【0024】なお、例えば、図 3 に示す MOS 型 FET 20 の場合、X 方向のメッシュについては、ドレイン 23 やソース 22 に加わる電圧が重要となる。そこで、ドレイン 23 に加える電圧によって広がる空乏層幅を予測して、ドレイン電圧に対する X 方向メッシュの間隔の関係のデータを第 2 のデータ記憶手段 16 に格納しておく。このようなドレイン電圧に対する X 方向メッシュの

間隔の関係のデータを使用し、上述したような処理を行なうことにより、メッシュの許容範囲を求めることができる。これにより、デバイスシミュレーションをする上で最適なメッシュを供給することができる。

【0025】

【発明の効果】以上説明したように、請求項 1 記載の発明によれば、解析内容に応じてデバイスシミュレーションに使用するに必要で十分なメッシュを生成でき、デバイスシミュレーションの結果である電気的特性のメッシュ依存性を排除しつつ、計算時間を最小とすることができる。請求項 2 記載の発明によれば、素子形状のみに基づき、シミュレーションをするのに必要で最大限のメッシュを生成しておき、その後に解析内容に応じてメッシュを追加することができるので、より簡略なメッシュ生成が可能とすることがけきる。請求項 3 記載の発明によれば、所望の解析内容に対してメッシュに関するデータを用いて、より計算時間の少なくなるメッシュを得ることができる。請求項 4 記載の発明によれば、シミュレーションに必要な必要で十分なるメッシュを求めるに必要なデータが記憶されているので、最適メッシュの計算が容易になる。請求項 5 記載の発明によれば、所望の解析内容に対して許容範囲を入力することにより、より計算時間の少なくなるメッシュを選択可能となる他、複数の解析内容に対応したメッシュを選択し得ることができる。

【図面の簡単な説明】

【図 1】本発明に係るデバイスシミュレーション用メッシュ作成装置の実施例を実現する装置の構成例を示すブロック図である。

【図 2】同実施例を示すブロック図である。

【図 3】同実施例で用いるデバイスの一例を示す模式図である。

【図 4】同実施例で得るメッシュの一例を説明するために示す説明図である。

【図 5】同実施例で使用するしきい値とメッシュ間隔との関係を示す特性図である。

【図 6】同実施例で使用するドレイン電流とメッシュ間隔との関係を示す特性図である。

【図 7】同実施例の動作を説明するためのフローチャートである。

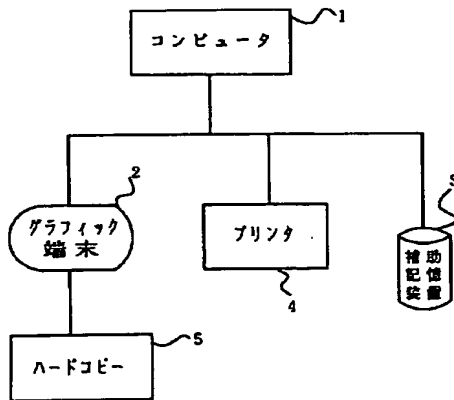
【符号の説明】

- 1 コンピュータ
- 2 グラフィック端末
- 3 補助記憶装置
- 4 プリンタ
- 5 ハードコピー
- 11 素子形状認識手段
- 12 メッシュ生成手段
- 13 メッシュ出力手段
- 14 解析内容入力手段

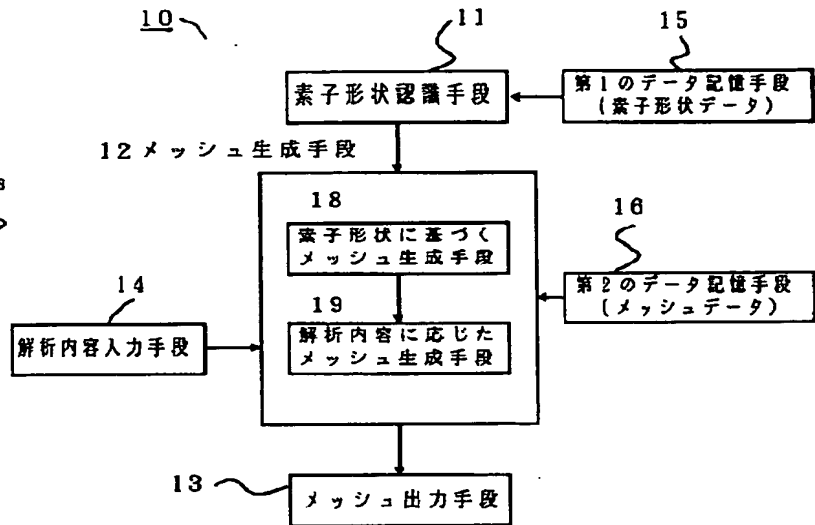
9
15 第1のデータ記憶手段
16 第2のデータ記憶手段

10
* 18 第1のメッシュ生成手段
* 19 第2のメッシュ生成手段

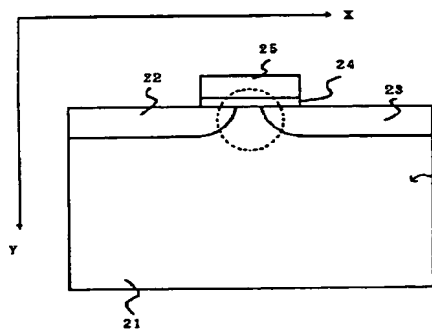
【図1】



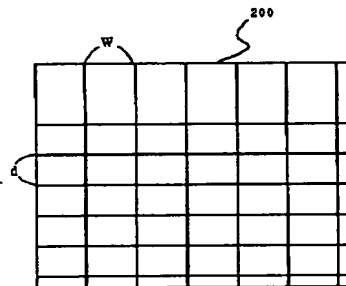
【図2】



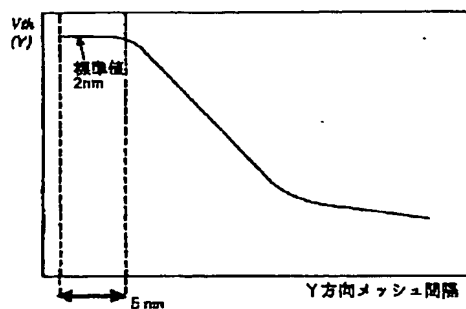
【図3】



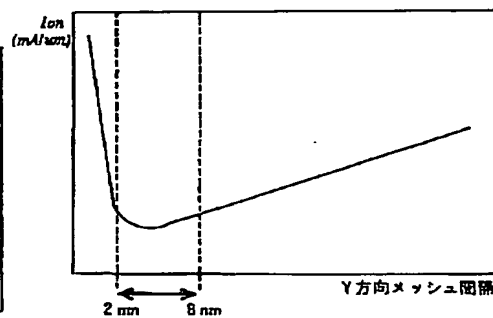
【図4】



【図5】



【図6】



【図7】

